

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-282883

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl.⁵
G11C 16/06

識別記号 庁内整理番号
6741-5L

F I

G11C 17/00

309 C

技術表示箇所

審査請求 未請求 請求項の数5(全12頁)

(21) 出願番号 特願平4-77948

(22) 出願日 平成4年(1992)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 義幸

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(74) 代理人 弁理士 三好 保男 (外1名)

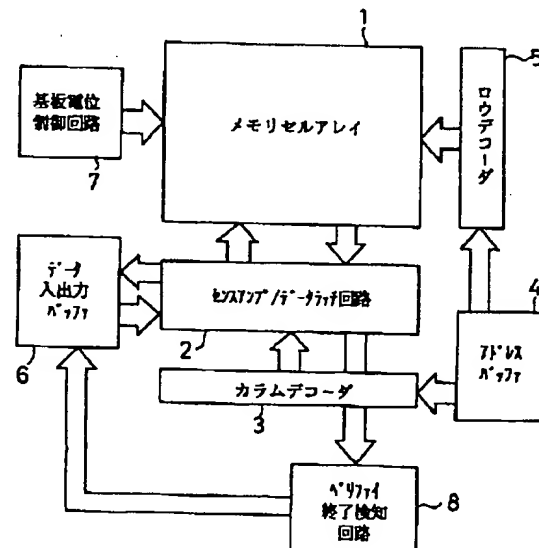
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 本発明は、所定単位データの他の所定単位へのコピー処理、消去ベリファイ動作等の所要の処理動作を高速に行うことを目的とする。

【構成】 所定単位に分割されたデータ記憶領域を備えたメモリ手段1と、所定単位へのデータを読み出し動作によりラッチしこれを反転して再ラッチするラッチ手段2と、このデータの反転に基づいて所要の処理動作を実行する手段とを有することを特徴とする。



FH 008505

【特許請求の範囲】

【請求項1】 所定単位に分割されたデータ記憶領域を備えたメモリ手段と、前記所定単位のデータを読み出し動作によりラッチするとともにこのラッチしたデータを反転し再ラッチするラッチ手段と、前記データの反転に基づいて所要の処理動作を実行する手段とを有することを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記所要の処理動作は、前記所定単位に記憶されているデータを他の所定単位に書き込むコピー処理であることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項3】 前記所要の処理動作は、消去ベリファイ動作であることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項4】 前記データの反転は1所定単位分一括で行うように構成してなることを特徴とする請求項1又は2記載の不揮発性半導体メモリ装置。

【請求項5】 前記メモリ手段が複数で構成される場合において、前記データの反転は、当該複数のメモリ手段における処理動作のアドレスに応じて行うか否かを判断するように構成してなることを特徴とする請求項1、2、3又は4記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フラッシュEEPROM（特にNAND型EEPROM）を用いた不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】 従来コンピュータシステムの記憶装置として磁気ディスク装置が広く用いられてきた。しかし磁気ディスク装置は高度に精密な機械的駆動機構を有するため衝撃に弱く重量もあるため可搬性に乏しい、消費電力が大きく電池駆動が容易でない、高速アクセスができない等の欠点があった。

【0003】 そこで近年EEPROMを用いた半導体メモリ装置の開発が進められている。半導体メモリ装置は機械的駆動部分を有しないため衝撃に強く、軽量のため可搬性に富み、消費電力も小さいため電池駆動が容易であり、高速アクセスが可能であるという長所を有している。

【0004】 しかしEEPROMは書き込み／消去回数において有限の寿命を有しており、その信頼性の確保には磁気ディスク装置には必要のなかったシステム制御が必要となる。

【0005】 EEPROMのひとつとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続して一単位とし、ビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS

構造を有する。メモリセルアレイは、p型基板、又はn型基板に形成されたp型ウェル内に集積形成される。NAND型EEPROMのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して、ソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。通常同一ワード線につながるメモリセルの集合を1ページと呼び、一組のドレイン側及びソース側の選択ゲートに挟まれたページの集合を1NANDブロック又は単に1ブロックと呼ぶ。通常、この1ブロックは独立に消去可能な最小単位となる。

【0006】 NAND型EEPROMの動作は次の通りである。データの消去は1NANDブロック内のメモリセルに対して同時に行われる。即ち選択されたNANDブロックの全ての制御ゲートを基準電位VSSとし、p型ウェル及びn型基板に高電圧VPP（例えば20V）を印加する。これにより、全てのメモリセルにおいて浮遊ゲートから基板に電子が放出され、しきい値は負の方向にシフトする。通常この状態を"1"状態と定義する。またチップ消去は全NANDブロックを選択状態にすることによりなされる。

【0007】 データの書き込み動作は、ビット線から最も離れた位置のメモリセルから順に行われる。NANDブロック内の選択された制御ゲートには高電圧VPP（例えば20V）を印加し、他の非選択ゲートには中間電位VM（例えば10V）を与える。またビット線にはデータに応じて、VSSまたはVMを与える。ビット線にVSSが与えられたとき（"0"書き込み）、その電位は選択メモリセルに伝達され、浮遊ゲートに電子注入が生ずる。これによりその選択メモリセルのしきい値は正方向にシフトする。通常この状態を"0"状態と定義する。ビット線にVMが与えられた（"1"書き込み）メモリセルには電子注入は起らず、従ってしきい値は変化せず負に留まる。

【0008】 データの読み出し動作はNANDブロック内の選択されたメモリセルの制御ゲートをVSSとして、それ以外の制御ゲート及び選択ゲートをVCCとし選択メモリセルで電流が流れるか否かを検出することにより行われる。読み出されたデータはセンスアンプ兼データラッチ回路にラッチされる。

【0009】 ここで、ある1ページのデータを他のページに記憶し直す時の従来の方法を以下に示す。まずランダムリード動作によって、センスアンプ兼ラッチ回路にデータをラッチする。次にページ読み出し動作によって、データを外部のバッファメモリ回路に記憶する。次に書き込み動作に移行し、センスアンプ兼ラッチ回路にデータをバッファメモリから転送し、書き込みを行なう。

【0010】 この時"1"データ（消去状態）についてラッチ回路にラッチされるデータを考えると、読み出し

時には、プリチャージしたビット線電位はメモリセルがDタイプであるから、VSSレベルへ放電される。よってセンスアンプ兼ラッチ回路のビット線側には" L " がラッチされる。また" 1 " データを書き込む時にはビット線に中間電位を送りトンネル電流を発生させないようにするために、センスアンプ兼ラッチ回路のビット線側には" H " がラッチされる。

【0011】このように、" 1 " データを読み出す時と書き込むときではセンスアンプ兼ラッチ回路には逆のデータがラッチされていることになる。" 0 " データについても全く同様のことがいえる。このデータの反転がページデータを他のページに記憶し直すとき外部バッファメモリとの間でページ読み出しとページデータ転送を必要とし、書き込み時間の増加を招いていた。

【0012】次に、図9をもとに、従来のNAND型EEPROMにおける書き込みベリファイ方式について説明する。CMOSフリップフロップからなるセンスアンプ兼データラッチ回路(FF)があり、その第1の出力が ϕF により制御されるEタイプnチャネルMOSトランジスタQn7を介して、ビット線BL1に接続されている。ビット線BL1とVCCの間には、フリップフロップFFの第1の出力により制御されるEタイプnチャネルMOSトランジスタQn8と信号 ϕV により制御されるEタイプnチャネルMOSトランジスタQn9が直列接続されている。またビット線をプリチャージするEタイプpチャネルMOSトランジスタQp5とビット線を放電するEタイプnチャネルMOSトランジスタQn10が接続されている。またフリップフロップFFの第2の出力を入力とする検知トランジスタQn11によって、センスラインVDTCとVSSが接続されている。

【0013】書き込み時に、" 1 " 書き込みの場合はFFのビット線側ノードに" H " がラッチされ、ビット線に中間電位が送られる。" 0 " 書き込みの場合は、FFのビット線側ノードに" L " がラッチされ、ビット線にVSSが転送される。

【0014】書き込み確認動作はQn7がOFF状態で、まずプリチャージ信号 $\phi P'$ が" L " となってビット線をVCCにプリチャージする。この状態では書き込みデータがFFに保持されている。この後選択ゲート、制御ゲートが駆動される。ここで、メモリセルがDタイプであれば、ビット線がVSSに放電される。またセルがEタイプであれば、ビット線はVCCレベルを保つ。選択ゲート及び、制御ゲートがリセットされた後、ベリファイ信号 ϕV が" H " となって、" 1 " データが保持されているビット線はVCC-VTHに充電される。その後FFを構成するCMOSインバータを非活性としたのち、Qn7をON状態とし、ビット線の電位をセンスしラッチし、それを再書き込みのデータとする。即ち" 1 " 書き込みのビット線には" H " が、" 0 " 書き込みのビット線で、十分書き込みがなされたものには" H "

がラッチされる。" 0 " 書き込みのビット線で、書き込み不十分なものに対してのみ" L " がラッチされている。再書き込みは全FFのビット線側ノードに" H " がラッチされた状態になるまで続く。

【0015】これは以下のようにして検知される。センスラインVDTCは全FFの検知トランジスタが接続されている。VDTCはpチャネルトランジスタに接続されている。上述のラッチ終了後そのpチャネルトランジスタが所定の時間活性化される。そのとき、全ビット書き込みが完了していれば、検知トランジスタは全て、OFF状態となっているので、VDTCはVCCに充電される。もし書き込み不足のセルが残っていると、そのビット線に対応する検知トランジスタはON状態にあるので、VDTCの電位はVSSに低下していく。このVDTCの電位を検知することによって、書き込みが終了したかどうか、一括で(即ちアドレスを変えて、全ビット読み出すのではなく)検知することができる。

【0016】以上のように書き込み確認動作は一括で検知可能であった。ここで従来の消去の確認動作について説明する。消去の場合は上記の書き込み確認動作と同じ方法がとれない。なぜなら消去したのちセルデータを読み出すと正しく消去されたもののFFはビット線側ノードに" L " がラッチされ、検知トランジスタをONさせてしまい、一括検知ができないためである。よって従来消去の確認動作はページ読み出しによって、チップ外部にデータを読み出し、消去されているかを確認していた。

【0017】以上のように従来消去の確認動作にはページ読み出しを必要とするため時間がかかるという問題があった。

【0018】

【発明が解決しようとする課題】以上のようにNAND型EEPROMを用いた従来の不揮発性半導体メモリ装置では、" 1 " データを読み出すときと書き込むときは、メモリセルアレイのビット線の一端に接続されたセンスアンプ兼ラッチ回路には逆のデータがラッチされる。このことは" 0 " データについても全く同様である。このため、このデータの反転が或るページのデータを他のページに記憶し直すとき外部バッファメモリとの間でページ読み出しとページデータ転送を必要とし、書き込み時間の増加を招くという問題があった。また、消去の確認動作の際についても、ページ読み出しによって外部にデータを読み出し、消去されているか否かを確認する必要があったため、上記と同様に時間の増加を招くという問題があった。

【0019】本発明は以上のような問題に鑑みてなされたもので、ページデータの他のページへのコピー処理又は消去ベリファイ動作等の所要の処理動作を外部へのデータの読み出し、再転送を不要として高速に行うことができる不揮発性半導体メモリ装置を提供することを目的

とする。

【0020】

【課題を解決するための手段】上記課題を解決するために、本発明は、第1に、所定単位に分割されたデータ記憶領域を備えたメモリ手段と、前記所定単位のデータを読み出し動作によりラッチするとともにこのラッチしたデータを反転し再ラッチするラッチ手段と、前記データの反転に基づいて所要の処理動作を実行する手段とを有することを要旨とする。

【0021】第2に、上記第1の構成において、前記所要の処理動作は、前記所定単位に記憶されているデータを他の所定単位に書き込むコピー処理であることを要旨とする。

【0022】第3に、上記第1の構成において、前記所要の処理動作は、消去ペリファイ動作であることを要旨とする。

【0023】第4に、上記第1又は第2の構成において、前記データの反転は1所定単位分一括で行うように構成してなることを要旨とする。

【0024】第5に、上記第1、第2、第3又は第4の構成において、前記メモリ手段が複数で構成される場合において、前記データの反転は、当該複数のメモリ手段における処理動作のアドレスに応じて行うか否かを判断するように構成してなることを要旨とする。

【0025】

【作用】上記構成において、メモリ手段における所定単位から読み出し動作によりラッチ手段にラッチされたデータが、1所定単位分一括の反転動作等により反転されて再ラッチされる。上記所定単位のデータを他の所定単位に書き込むコピー処理等の所要の処理動作の実行の際、その反転・再ラッチされたデータを用いることにより、外部へのデータの読み出し、再転送を必要とすることなく、その実行が可能となる。これにより所要の処理動作を高速に行うことが可能となる。

【0026】メモリ手段が複数で構成される場合において、複数のメモリ手段間におけるコピー元とコピー先等のような、その複数のメモリ手段における処理動作のアドレス関係によっては、反転と等価なデータが得られてデータ反転の動作が不要となる。

【0027】

【実施例】以下本発明の実施例を図面を参照して説明する。

【0028】図1は本発明の第1実施例に係るNAND型EEPROMを用いた不揮発性半導体メモリ装置の構成を示すブロック図である。メモリ手段としてのメモリセルアレイ1に対し、データ書き込み、読み出し、書き込み及び消去ペリファイを行うためのラッチ手段としてのセンスアンプ兼ラッチ回路2が設けられている。メモリセルアレイ1は複数個のページからなるブロックに分割され、このブロックがデータ記憶領域となるように構

成されている。センスアンプ兼ラッチ回路2はデータ入出力バッファ6につながり、アドレスバッファ4からのアドレス信号をうけるカラムデコード3の出力を入力として受けるようになっている。またメモリセルアレイ1に対して、制御ゲート及び選択ゲートを制御するためにロウデコード5が設けられ、メモリセルアレイ1が形成されるp型基板（またはp型ウェル）の電位を制御するための基板電位制御回路7が設けられている。

【0029】ペリファイ終了検知回路8はセンスアンプ兼ラッチ回路2にラッチされているデータを検知しペリファイ終了信号を出力する。ペリファイ終了信号はデータ入出力バッファ6を通じて外部に出力される。

【0030】図2にセンスアンプ兼ラッチ回路2とメモリセルアレイ1及びペリファイ終了検出回路8との接続関係を示す。なお、図2において前記図9における回路素子等と同一ないし均等のものは前記と同一符号を以て示し、重複した説明を省略する。図2の回路では、ビット線BL1とVCC又はVSSレベルの間に、フリップフロップFFの第1の出力により制御されるEタイプnチャネルMOSトランジスタQn8と信号ΦVにより制御されるEタイプnチャネルMOSトランジスタQn9が直列接続されている。

【0031】次に、上述のように構成された不揮発性半導体メモリ装置におけるページからページへのコピー処理動作を説明する。

【0032】まずコピー元のメモリセルのデータを読み出す。ΦFを“H”の状態、Φspを“H”、Φsnを“L”、Φrpを“H”、Φrnを“L”としてC²MOSインバータを非活性としたのち、ΦP'を“L”としてビット線をVCCにプリチャージする。次に選択された制御ゲートをVSSに非選択の制御ゲートをVCCに、選択された選択ゲートをVCCに一定時間保持する。ここで、選択されたメモリセルが消去されており、負のしきい値を持っていれば、セル電流が流れ、ビット線はVSSに放電される。

【0033】次にΦspを“L”、Φsnを“H”としビット線電位を検知し、Φrpを“L”、Φrnを“H”とすることによってデータをラッチする。ΦFを“L”としてセンスアンプ兼ラッチ回路とビット線を分離する。ΦP'を“L”にし、全ビット線をVCCにプリチャージする。ΦP'を“H”にしてビット線をフローティングにする。

【0034】次にΦVを“H”にし、VCC又はVSSの配線はVSSにする。このときセンスアンプ兼ラッチ回路のビット線側ノードに“H”がラッチされているビット線はQn8、Qn9がいずれもON状態になるので、VSSに放電される。（VSSに特に限定する必要はない。）またセンスアンプ兼ラッチ回路のビット線側ノードに“L”がラッチされているビット線はQn8がOFF

状態になるのでVCCを保つ。

【0035】次にΦVを" L "にする。Φspを" H "、Φsnを" L "、Φrpを" H "、Φrnを" L "としてC' MOSインバータを非活性としたのち、ΦFを" H "にする。Φspを" L "、Φsnを" H "としビット線電位を検知し、Φrpを" L "、Φrnを" H "とすることによってデータをラッチする。

【0036】以上のごとく動作させると始めラッチしたデータの反転データをラッチすることが可能である。

【0037】次にこのラッチ状態のまま書き込み動作に移行する。センスアンプ兼ラッチ回路のVMBをVCCから中間電位に上げる。ビット線側ノードに" H "がラッチされていたビット線は中間電位に、ビット線側ノードに" L "がラッチされていたビット線はVSSになり、選択制御ゲートにVPPが印加される。

【0038】次に書き込みベリファイ動作について説明する。

【0039】書き込み確認動作はQn7がOFF状態で、まずプリチャージ信号ΦP'が" L "となってビット線をVCCにプリチャージする。この状態では書き込みデータがFFに保持されている。この後選択ゲート、制御ゲートが駆動される。ここで、メモリセルがDタイプであれば、ビット線がVSSに放電される。またメモリセルがEタイプであれば、ビット線はVCCレベルを保つ。選択ゲート及び、制御ゲートがリセットされた後、ベリファイ信号ΦVが" H "となって、" 1 "データが保持されているビット線はVCC-VTHに充電される。VCC又はVSSの配線はVCCである。その後FFを構成するCMOSインバータを非活性としたのち、Qn7をON状態とし、ビット線の電位をセンスしラッチし、それを再書き込みのデータとする。即ち" 1 "書き込みのビット線には" H "が、" 0 "書き込みのビット線で、十分書き込みがなされたものには" H "がラッチされる。" 0 "書き込みのビット線で、書き込み不十分なものに対してのみ" L "がラッチされている。再書き込みは全FFのビット線側ノードに" H "がラッチされた状態になるまで続く。これは以下のようにして検知される。センスラインVDTCは全FFの検知トランジスタが接続されている。VDTCはpチャネルトランジスタに接続されている。上述のラッチ終了後そのpチャネルトランジスタが所定の時間活性化される。そのとき、全ビット書き込みが完了していれば、検知トランジスタはすべて、OFF状態となっているので、VDTCはVCCに充電される。もし書き込み不足のセルが残っていると、そのビット線に対応する検知トランジスタはON状態にあるので、VDTCの電位はVSSに低下していく。このVDTCの電位を検知することによって、書き込みが終了したかどうか、一括で（すなわちアドレスを変えて、全ビット読み出すのではなく）検知する事ができる。

【0040】以上のような動作によってページからページへのコピーが外部にデータを読みだすことなく達成される。そして本実施例のセンスアンプ兼ラッチ回路は、従来VCCに固定であった配線をVCCとVSSレベルの切り替えが可能なものにするだけでよいので、僅かなロジックの変更だけで実現できる。

【0041】次に消去の確認動作について、図3のタイミングチャートをもとに説明する。消去動作では、セルが形成される基板（またはpウェル）に高電圧（例えば20V）を与え、制御ゲートにはVSSを与える。これによってメモリセルのしきい値は負の方向にシフトする。次いで、前述とほぼ同様の動作により、メモリセルのデータを読み出す。即ち、ΦFを" H "の状態、まずΦspを" H "、Φsnを" L "、Φrpを" H "、Φrnを" L "としてC' MOSインバータを非活性としたのち、ΦPBを" L "としてビット線をVCCにプリチャージする。次に選択された制御ゲートをVSSに非選択の制御ゲートをVCCに、選択された選択ゲートをVCCに一定時間保持する。ここで、選択されたメモリセルが消去されており、負のしきい値を持っていれば、セル電流が流れ、ビット線はVSSに放電される。

【0042】次にΦspを" L "、Φsnを" H "としてビット線電位を検知し、Φrpを" L "、Φrnを" H "とすることによってデータをラッチする。ΦFを" L "としてセンスアンプ兼ラッチ回路とビット線を分離する。ΦP'を" L "にし、全ビット線をVCCにプリチャージする。ΦP'を" H "にしてビット線をフローティングにする。

【0043】次にΦVを" H "にする。このときセンスアンプ兼ラッチ回路のビット線側ノードに" H "がラッチされているビット線はQn8、Qn9がいずれもON状態になるので、VSSに放電される。（VSSに特に限定する必要はない。" L "レベルと判定できる低い正の電位でもよい）またセンスアンプ兼ラッチ回路のビット線側ノードに" L "がラッチされているビット線はQn8がOFF状態になるのでVCCを保つ。

【0044】次にΦVを" L "にする。Φspを" H "、Φsnを" L "、Φrpを" H "、Φrnを" L "としてC' MOSインバータを非活性としたのち、ΦFを" H "にする。Φspを" L "、Φsnを" H "としビット線電位を検知し、Φrpを" L "、Φrnを" H "とすることによってデータをラッチする。

【0045】以上のごとく動作させると始めラッチしたデータの反転データをラッチすることが可能である。

【0046】その後検知トランジスタを用いて、ベリファイが完了したか確認する。もしすべてのセルが負のしきい値を持つならば、VDTCは" H "になる。この場合は次のページの確認をする。1つでも正のしきい値のセルが残っていれば、VDTCは" L "状態になる。その場合はVDTCが" H "と検出されるまで消去を繰り返す。

返し行う。検出結果はデータ入出力ピン又は READY/BUS Y ピンから外部に出力される。

【0047】上記例ではデータは1ページずつ確認されたが、1 NANDブロック内の全ページに対して、1度に確認動作を行ってもよい。この場合は選択されたブロック内の全制御ゲートにVSSを与えた状態で読み出し動作を行う。このとき1メモリセルでも正のしきい値のものが残っていれば、そのビット線は放電されないから上記例と同じ方法で、検出可能である。

【0048】また制御ゲートに与える電圧は必ずしもVSSレベルの必要はない。マージンを含める意味で、負の電圧を与えてもよい。また制御ゲートにはVSSを与えて、ソース又はソースとp型基板（又はpウェル）に正の電圧を印加して、疑似的に制御ゲートに負の電圧が印加された状態を作り出してもよい。また不良ビット線（例えばリーク）のデータは反転されないこともあるが、本実施例と区別されるべきでないことは容易に想像がつくであろう。また検出トランジスタのソースとVSSの間にヒューズを設けてもよい。不良ビット線やリダ

ンダンシー用で使用されていないものに対応するセンスアンプ兼ラッチ回路の検出トランジスタにおいては、ヒューズを切断しておけば動作上問題とならない。

【0049】図4には、本発明の第2実施例を示す。基本構成は図1と同じであるが、この実施例ではセルアレイが2個のブロック1A、1Bに分けられ、これらのセルアレイブロック1A、1Bに共通のセンスアンプ兼ラッチ回路2が設けられている。

【0050】図5はそのセンスアンプ兼ラッチ回路の構成を示している。EタイプnチャネルMOSトランジスタQn16、Qn17とEタイプpチャネルMOSトランジスタQp7、Qp9でフリップフロップFFを構成している。EタイプnチャネルMOSトランジスタQn14、Qn15はFFのイコライズ用トランジスタ、Qn27、Qn28は検出用トランジスタである。

【0051】EタイプnチャネルMOSトランジスタQn18とEタイプpチャネルMOSトランジスタQp8はFF活性用トランジスタ、EタイプnチャネルMOSトランジスタQn19とQn20はFFの2個のノードN1、N2とセルアレイブロック1A、1B内のビット線との接続用トランジスタ、Qn25、Qn26はビット線のプリチャージ、リセット用のトランジスタである。Qn21~Qn24はビット線とVCC又はVSSレベルにある配線との接続用トランジスタである。

【0052】このような構成の場合のページからページへのコピーについて述べる。メモリセルアレイ1A中のページからメモリセルアレイ1A中のページへデータをコピーするには、前記第1実施例のごとく読み出しデータの反転動作が必要となる。しかしメモリセルアレイ1A中のページからメモリセルアレイ1B中のページへのデータの

コピーには読み出しデータの反転は必要はない。これらはセンスアンプ兼ラッチ回路の反対側のノードにそれぞれ接続されているために、読み出しデータを反転させることなくそのまま書き込み動作へ移行することができる。

【0053】このようにコピー元とコピー先のアドレスの関係により反転動作を行うか、行わないか制御することによってページのコピーが可能となる。

【0054】ここで本実施例におけるデータの反転方法について述べる。ここではメモリセルアレイ1Aのページがコピー元として選択されているとする。

【0055】まずビット線BLa1が3Vに、BLb1が2V（リファレンス電位）にプリチャージされ、その後プリチャージ信号ΦPAとΦPBが“L”となって、ビット線BLa1とBLb1はフローティングになる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして一定時間保持する。イコライズ信号によってMOSフリップフロップがリセットされた後、ΦA、ΦBが“H”となってノードN1、N2がそれぞれビット線BLa1、BLb1が接続され、ΦPが“L”、ΦNが“H”となってビット線BLa1が読み出される。読み出したデータはラッチされる。その後ΦA、ΦBを“L”としてビット線とFFを切り放す。次にまずビット線BLa1を3Vにビット線BLb1を2Vにプリチャージしフローティングにしたのち、ΦAVを“H”にする。その後、ΦABを“L”としたのちFFを非活性化、イコライズしたのちΦA、ΦBを“H”とし、さらにΦPを“L”、ΦNを“H”としてデータを読む。これによって、読み出したデータは一括反転される。

【0056】次に、消去後のベリファイ動作について説明する。ここではメモリセルアレイ1Aのビット線BLa1が選択されているとする。

【0057】まずビット線BLa1が3Vに、BLb1が2V（リファレンス電位）にプリチャージされ、その後プリチャージ信号ΦPAとΦPBが“L”となって、ビット線BLa1とBLb1はフローティングになる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして一定時間保持する。イコライズ信号によってCMOSフリップフロップがリセットされた後、ΦA、ΦBが“H”となってノードN1、N2がそれぞれビット線BLa1、BLb1が接続される。ΦPが“L”、ΦNが“H”となってビット線BLa1が読み出される。読み出したデータはラッチされる。

【0058】その後ΦA、ΦBを“L”としてビット線とFFを切り放す。次にまずビット線BLa1を3Vに、BLb1を2V（リファレンス電位）にプリチャージしフローティングにしたのち、ΦAVを“H”にする。その後FFを非活性化、イコライズしたのちΦA、

ΦBを”H”としてデータを読む。この段階でラッチされていたデータは、一括反転される。そのあと検知トランジスタQn28によって一括検知される。このようにメモリセル1Aに対し消去ベリファイを行うときにはデータの一括反転を行う。

【0059】しかしメモリセル1Bに対し消去ベリファイを行うときには、データの反転は必要はない。またメモリセル1Aに対し書き込みベリファイを行うときはデータの反転の必要はないが、メモリセルレイ1Bに対し書き込みベリファイを行う時にはデータの反転が必要となる。

【0060】このようにメモリアドレスと消去・書き込みのモードによってそのベリファイ動作時にデータの反転を行うか行わないかを制御することによって、ベリファイ動作を1個の検知用トランジスタQn28によって行うことができる。したがって、このような消去後のベリファイ動作では、他の検知用トランジスタQn27は不要となる。

【0061】また本発明は上記実施例に限らない。データの反転はページ一括で行わなくても良い。バイトごとにチップ内部で反転を行ってもいい。これを図6の第3実施例に示す。図7は、その動作のフローチャートである。図6は、前記図2のセンスアンプ兼ラッチ回路に対応するIOセンス回路及び反転データ発生回路を示している。図6において、9はカレントミラー型作動センスアンプ、10、11はトランスファゲートである。動作はIO、IOBをイコライズしたのち、センスアンプ兼ラッチ回路のカラムゲートCSL1を”H”としデータをIO、IOB線に出力する。その電位差をカレントミラー型作動センスアンプ9でセンスし後段でラッチする。そしてこのデータより反転データを形成し、IO、IOB線を通じて、センスアンプ兼ラッチ回路に転送しラッチ内容を反転させてもよい。この場合もアドレス信号をチップ内部でカウンタ等を用いて形成してもよい。

【0062】また図8の第4実施例に示すように、メモリセルレイが複数個1A、1B、2A、2B（ここでは簡単のため4分割を例にあげる。）に分割されている場合を考える。このような場合でも上記第3実施例のごとく、チップ内部でコピー元ページのデータを読み、コピー先のページのセンスアンプ兼ラッチ回路にデータを転送してやってもよい。

【0063】またセルレイ1A中のページからセルア

レイ1A中のページへのコピーのように、同一セルレイ内でのコピーの場合は上記実施例のごとく、読み出しデータを一括反転させ、セルレイ1A中のページからセルレイ1B中のページへのコピーのように同じセンスアンプ兼ラッチ回路を共有するセルレイ間のコピーの場合は読み出しデータをそのまま書き込みデータとし、セルレイ1A中のページからセルレイ2A中のページへのコピーの場合は、チップ内部でバイト単位で読み出し、コピー可能な書き込みデータにして、コピー先のセンスアンプ兼ラッチ回路にデータを転送するように、上記実施例を組み合わせ使用することも可能である。

【0064】

【発明の効果】以上説明したように、本発明によれば、メモリ手段における所定単位から読み出し動作によりラッチ手段にラッチしたデータを反転して再ラッチし、このデータ反転に基づいて所要の処理動作を実行するようにしたため、所定単位データの他の所定単位へのコピー処理又は消去ベリファイ動作等の所要の処理動作を、外部へのデータの読み出し、再転送を必要とすることなく高速に行うことができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体メモリ装置の第1実施例を示すブロック図である。

【図2】第1実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図3】第1実施例において消去の確認動作におけるセンスアンプ兼ラッチ回路の動作を説明するためのタイミングチャートである。

【図4】本発明の第2実施例を示すブロック図である。

【図5】第2実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図6】本発明の第3実施例を示す回路図である。

【図7】第3実施例の動作を説明するためのタイミングチャートである。

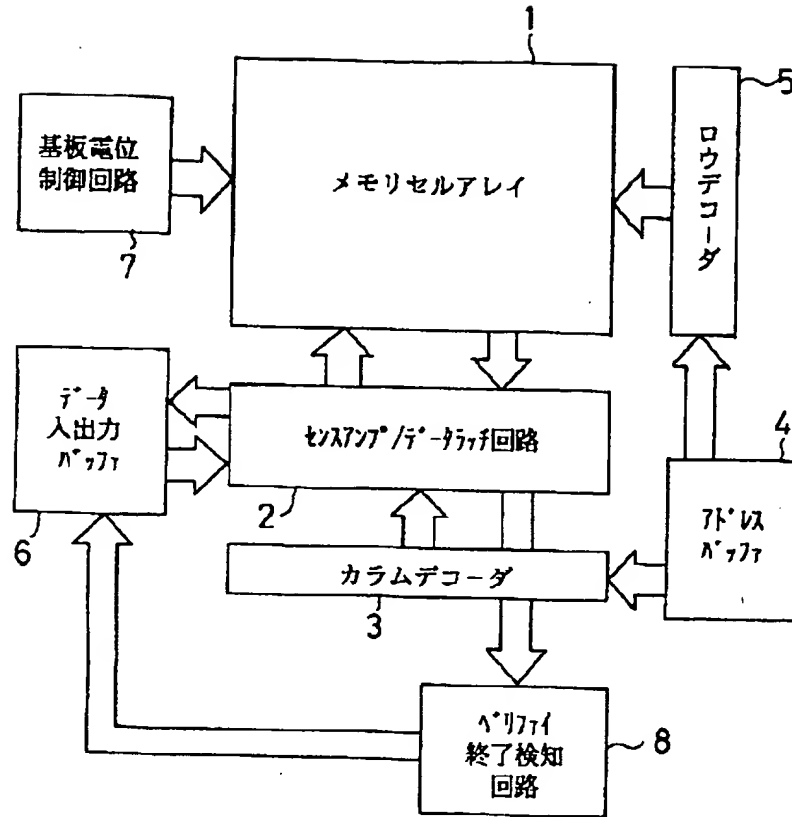
【図8】本発明の第4実施例を示すブロック図である。

【図9】従来の不揮発性半導体メモリ装置におけるセンスアンプ兼ラッチ回路を示す回路図である。

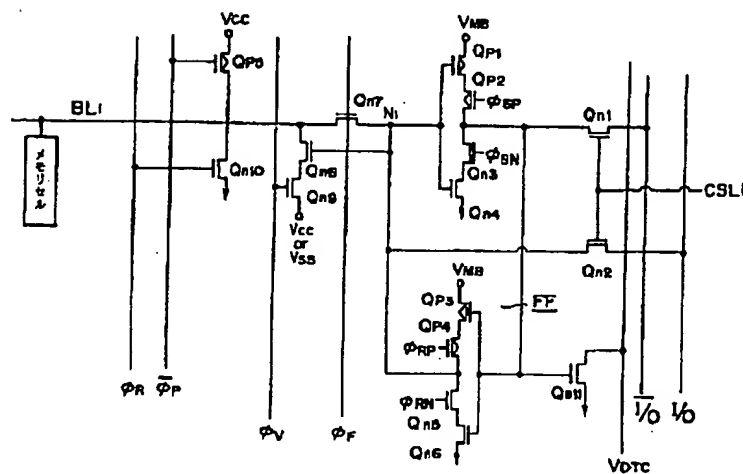
【符号の説明】

- 1、1A、1B メモリセルレイ（メモリ手段）
- 2 センスアンプ兼ラッチ回路（ラッチ手段）
- 8 ベリファイ検知回路

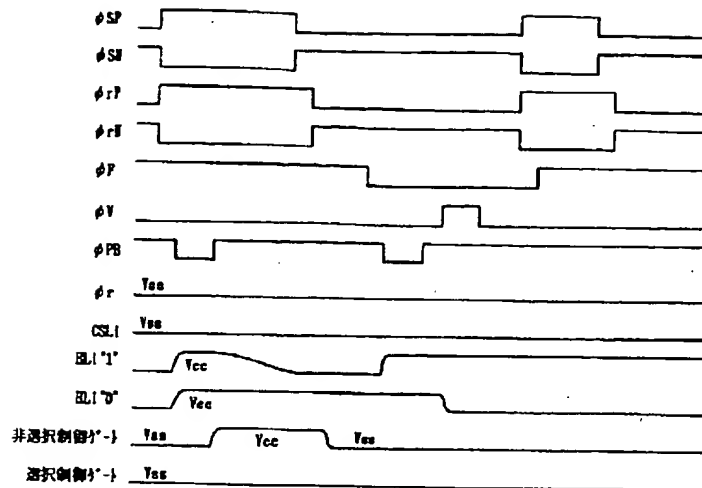
【図1】



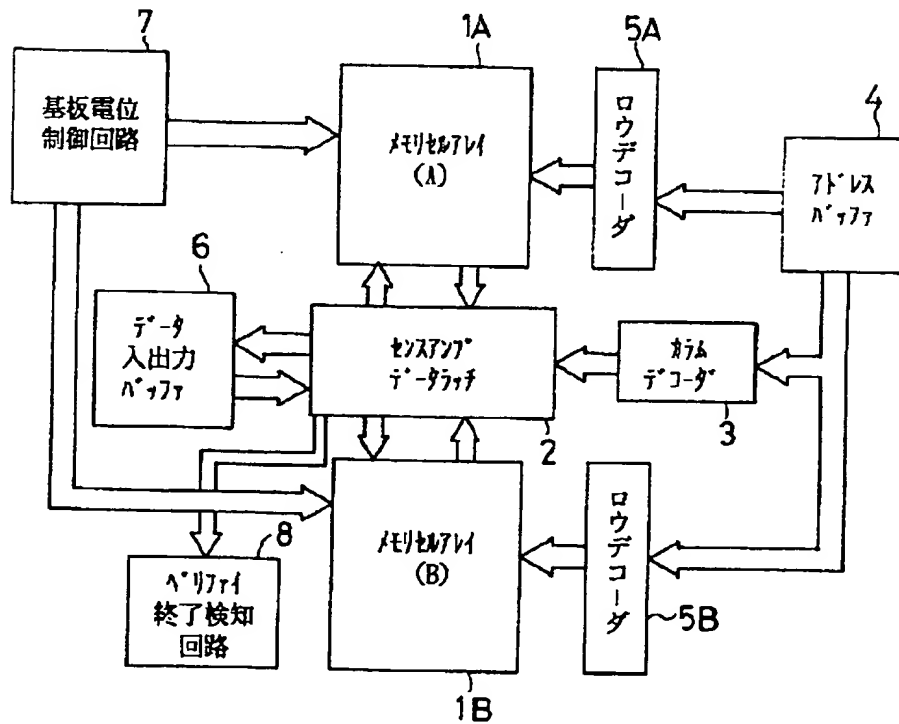
【図2】



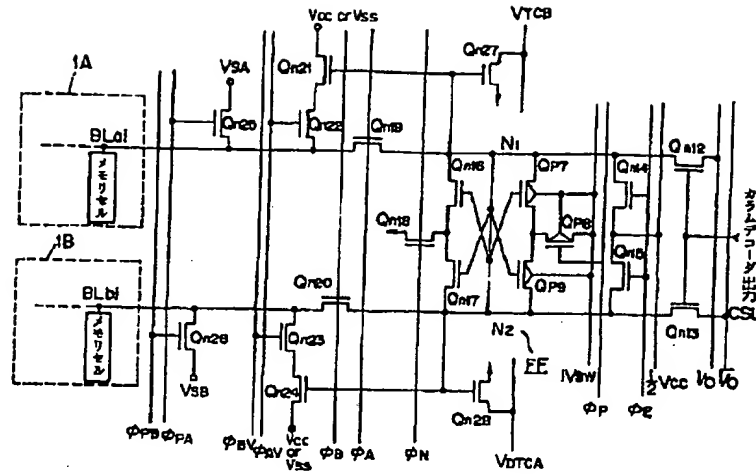
【図3】



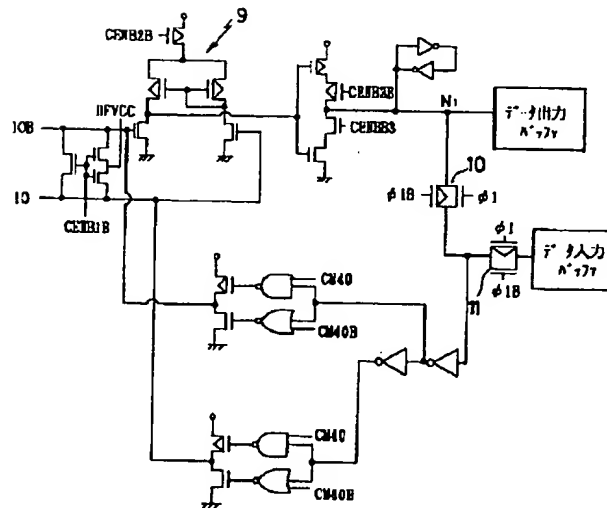
【図4】



【図5】



【図6】

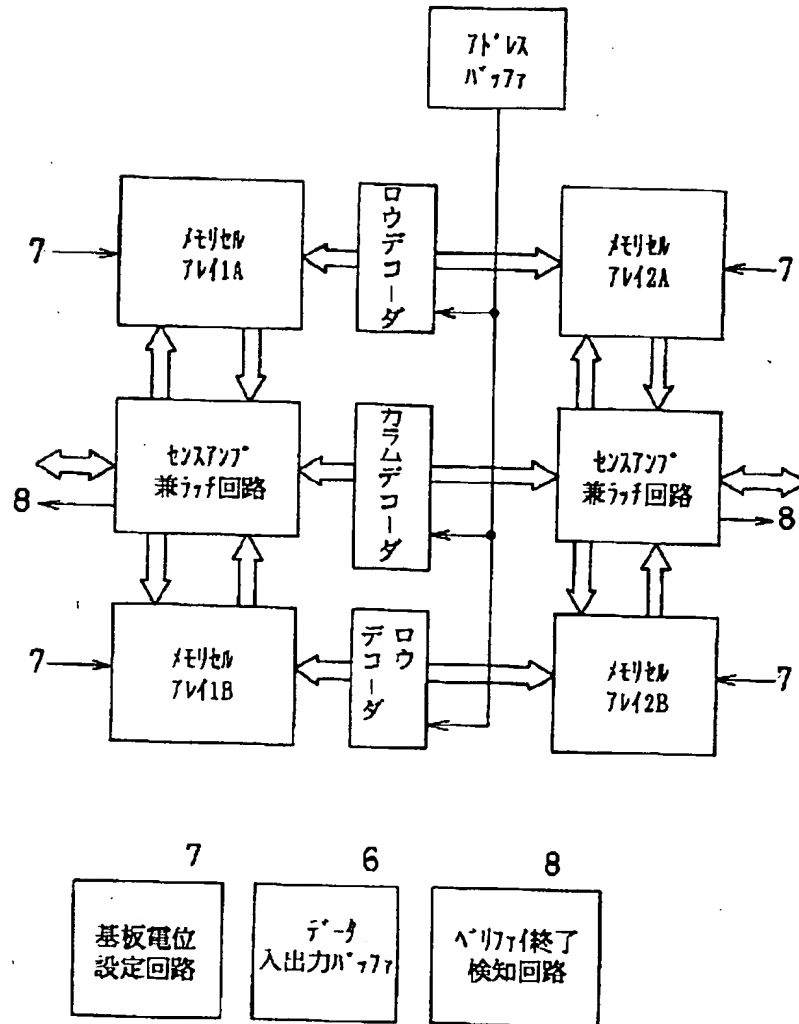


FH 008514

[illegible]

FH 008515

【図8】



フロントページの続き

(72)発明者 大平 秀子
神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72)発明者 岡本 豊
神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

FH 008516

¹⁹ THE PATENT OFFICE OF JAPAN (A)

¹² OFFICIAL GAZETTE FOR UNEXAMINED PATENTS (A)

¹¹ Disclosure Number 5-282883

⁴³ Date of Disclosure October 29, 1993

⁵¹ Int. Cl ⁵	Identification Symbols	Intra-Agency File Nos.	FI Technical Designation Here
G11C 06		6741-5L	G 11C 17/00 309C
Request for Examination		Not requested	Number of Claims 5 (total 12 pages)

²¹ Application Number 4-77948

²² Filing Date March 31, 1992

⁷¹ Applicant 000003078
Toshiba Corp.
72 Horikawa-cho, Saiwai-ku, Kawasaki, Kanagawa Pref.

⁷² Inventors TANAKA Yoshiyuki
TANAKA Tomoharu
NAKAMURA Hiroshi
OODAIRA Hideko
OKAMOTO Yutaka
1 Komukai Toshiba-cho, Saiwai-ku, Kawasaki, Kanagawa Pref.
Toshiba Corporate Research and Development Center

⁷⁴ Agent Attorney SANSHI Yasuo
and 1 other
(continued on final page)

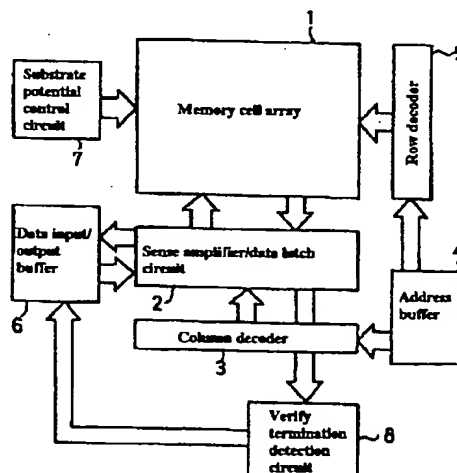
⁵⁴ [Title of Invention]

Nonvolatile semiconductor memory apparatus

⁵⁷ [Summary]

[Purpose] The purpose of the present invention is to copy fixed unit data to other fixed units, and to complete any required processing such as erasure verification at high speed.

[Structure] The apparatus pursuant to the present invention is provided with a memory means 1 that has a data storage area divided into fixed units, a latching means 2 that latches data via a reading operation of data at fixed units, inverts it and then relatches it, and a means of carrying out required processing operations based on this data inversion.



[Scope of Patent Claim]

[Claim 1] A nonvolatile semiconductor memory apparatus provided with a memory means that has a data storage area divided into fixed units, a latching means that latches data via a reading operation of aforementioned data at fixed units, inverts these latched data and then relatches them, and a means of carrying out required processing operations based on aforementioned data inversion.

[Claim 2] The nonvolatile semiconductor memory apparatus of Claim 1 wherein aforementioned required processing operation is writing and copying of data stored in aforementioned fixed units to other fixed units.

[Claim 3] The nonvolatile semiconductor memory apparatus of Claim 1 wherein aforementioned required processing operation is erasure verification.

[Claim 4] The nonvolatile semiconductor memory apparatus of Claims 1 or 2 that is structured so that aforementioned data inversion is carried out in single fixed unit batches.

[Claim 5] The nonvolatile semiconductor memory apparatus of Claims 1, 2, 3 or 4 that is structured so as to judge whether or not aforementioned data inversion is carried out as a function of the address of the processing operation in the plurality of memory means in question when there is a plurality of aforementioned memory means.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization]

The present invention concerns a nonvolatile semiconductor memory apparatus using flash EEPROM (especially a NAND type EEPROM).

[0002]

[Related Art] Magnetic disc devices have been used extensively as the storage apparatus of conventional computer systems. However, since magnetic disc devices have a close-tolerance mechanical drive mechanism, they are susceptible to impact, heavy and thus not very portable. Additional defects include their high levels of power consumption, difficulty in running on batteries, and incapability of high-speed access.

[0003] Thus, the development of semiconductor memory devices using EEPROM has proceeded in recent years. Semiconductor memory devices are very portable since they are resistant to impact and are light weight because they lack mechanically driven components. Additional benefits include their low power consumption which permits them to easily be run on batteries, and their capability of high-speed access.

[0004] However, EEPROM are capable of a finite number of writing/erasure, and system controls that are unnecessary in magnetic disc devices are required to ensure their reliability.

[0005] A highly integrated NAND cell type EEPROM is known as one type of EEPROM. It is constituted by connecting a plurality of memory cells each formed by connecting a source of one memory cell in series with a drain of a memory cell adjacent to the memory cell for a shared use, as one unit, to a bit line. This memory cell normally has an FETMOS structure in which a charge storage layer and a control gate are laminated. A memory cell array is integrally formed in a p-type substrate or a p-type well formed on an n-type substrate. A drain side of the NAND type EEPROM is connected to a bit line through a selective gate, and a source side is connected to a source line (reference potential wiring) through a selective gate. A control gate of the memory cell is continuously connected in the row direction of the memory cell array to become a word line. The set of memory cells connected to the same word line is called one page. A set of pages provided between a drain side and a source side is called a one NAND block or one block. Normally this one block is the minimum unit capable of independent erasure.

[0006] The operation of a NAND type EEPROM is as described below. A data erasure operation is conducted concurrently on a memory cell within a one NAND block. Specifically, all control gates of the selected NAND block are charged at the VSS reference potential, and high voltage VPP (for example, 20 V) is applied to the p-type well and the n-type substrate. Thus, the electrons of the floating gates of all the memory cells are emitted to the substrate, and the threshold values are shifted in a negative direction. This state is usually defined as state "1". In addition, chip erasure is carried out with all NAND blocks selected.

[0007] A data writing operation is conducted sequentially from a memory cell of a position most separate from the bit line. A high voltage VPP (for example, 20 V) is applied to the control gate of the memory cell selected from within the NAND block, and an intermediate voltage VM (for example, 10 V) is applied to the other unselected gate. In addition, VSS or VM is applied to the bit line as a function of the data. When VSS is applied to the bit line (writing of "0"), the potential is transmitted to the selected memory cell, and electrons are thus injected to a floating gate. By so doing, the threshold value of the selected memory cell is shifted in a positive direction. This state is usually defined as the "0" state. Electron injection does not occur when VM is applied to the bit line (writing of "1"), and the threshold value remains negative without changing.

[0008] A data reading operation is conducted by setting the control gate of the selected memory cell within the NAND block to VSS, by setting the potentials of the control gates and the selected gates of memory cells other than the selected memory cell to VCC, and by detecting whether or not a current flows in the selected memory cell. Data that are read are latched to a sense amplifier and data latch circuit.

[0009] The conventional method of moving data from a given page for storage in another page is presented below. First, data are latched to a sense amplifier and data latch circuit via a random read operation. Next, data are stored in an external buffer memory circuit by a page reading operation. That is followed by switch to a writing operation in which data in the sense amplifier and data latch circuit are transferred from buffer memory and written.

[0010] Assuming that "1" data (erasure state) are latched at this time to a latch circuit, the precharged bit line potential would be discharged to the VSS level during reading since the memory cells are D type. Therefore, "L" would be latched on the bit line side of the sense amplifier and data latch circuit. Furthermore, "H" is latched on the bit line side of the sense amplifier and data latch circuit to ensure that intermediate potential is not fed to the bit line and that tunnel current is not generated during writing of "1" data.

[0011] In this way, reverse data are latched to the sense amplifier and data latch circuit when reading and writing "1" data. The identical procedures apply to "0" data. This data inversion necessitates page reading with an external buffer memory and the transfer of page data when storing page data in another page, and that leads to an increase of the writing time.

[0012] The write verify method in a conventional NAND type EEPROM is explained below with reference to Figure 9. A sense amplifier and data latch circuit (FF) comprises CMOS flip-flops. Its first output is connected to a bit line BLi via E type n channel MOS transistor Qn7 that is controlled via ΦF . E type n channel MOS transistor Qn8 controlled by the first output of flip-flop FF and E type n channel MOS transistor Qn9 controlled by signal ΦV are connected in series between bit line BLi and VCC. In addition, E type p channel MOS transistor Qp5 that precharges the bit line is connected to E type n channel MOS transistor Qn10 that discharges the bit line. Furthermore, sense lines VDTC and VSS are connected via detection transistor Qn11 which is input the second output of flip-flop FF.

[0013] During writing, "H" is latched to the bit line side node of FF when writing "1", and intermediate potential is fed to the bit line. When writing "0", "L" is latched to the bit line side node of FF, and VSS is transferred to the bit line.

[0014] Confirmation of writing is carried out while Qn7 is OFF. First, the precharge signal $\Phi P'$ is set at "L" and the bit line is precharged to VCC. Written data are held in FF in this state. Subsequently, the selective gate and the control gate are driven. The bit line is discharged to VSS if the memory cells are D type. In addition, if the memory cells are E type, the bit line is held at the VCC level. After the selective gate and the control gate have been reset, the verify signal ΦV becomes "H" and the bit line that has held "1" data is charged to VCC-VTH. Subsequently, after the CMOS inverter comprising the FF has been deactivated, Qn7 is turned ON, the potential of the bit line is sensed and latched, and that serves as rewriting data. Specifically, "H" is latched on a bit line in which "1" has been written, while "H" is latched on a bit line in which "0" has been written once writing has been adequately completed. "L" is latched only on a bit line in which "0" has been written if writing has been inadequate. Rewriting continues until "H" has been latched to the bit line side nodes of all FF.

[0015] This is detected in the following manner. The detection transistors of all FF are connected to the sense line VDTC. VDTC is connected to the p channel transistor. The p channel transistor is activated for a prescribed duration of time after aforementioned latching is terminated. If all bit writing is completed, VDTC would be charged to VCC since all detection transistors would be OFF at that time. If a remaining cell has not been adequately written, the detection transistor corresponding to its bit line would be ON and the VDTC potential would fall to VSS. Whether or not writing has been terminated can be detected in batches (specifically, altering the address rather than reading all bits) by detecting this VDTC potential.

[0016] The writing confirmation operation can be detected in batches in aforementioned manner. The conventional erasure confirmation operation is explained here. The erasure confirmation operation is not carried out by the same operation as aforementioned writing confirmation operation. The reason is that "L" is latched to the bit line side node of the FF that has been correctly erased when cell data are read following erasure, and the detection transistor remains ON. Consequently, batch detection is not possible. Therefore, the conventional erasure confirmation operation confirms whether or not erasure has been completed by reading data outside of the chip through page reading.

[0017] As indicated above, the conventional erasure confirmation operation presents the problem of requiring a prolonged period of time because it necessitates page reading.

[0018]

[Problems Solved by the Invention] As indicated above, inverted data are latched to the sense amplifier and data latch circuit connected to one end of the bit line of a memory cell array when reading and writing "1" data in a conventional

nonvolatile semiconductor memory apparatus using NAND type EEPROMs. The same applies to "0" data. Consequently, page reading and page data transfer with an external buffer memory are required when storing data of a page with inverted data on another page, which presents the problem of increasing the writing time. The same problem of time increase is presented during the erasure confirmation operation since data are read externally through page reading, which necessitates confirmation of erasure.

[0019] The present invention was devised in light of aforementioned problems. The purpose is to provide a nonvolatile semiconductor memory apparatus capable of high-speed operation that does not require external data reading and retransfer for prescribed processing operations such as copying of page data to other pages or erasure verification operations.

[0020]

[Means of Solving the Problems] To solve aforementioned problems, the present invention is first provided with a memory means that has a data storage area divided into fixed units, a latching means that latches data via a reading operation of aforementioned data at fixed units, inverts these latched data and then relatches them, and a means of carrying out required processing operations based on aforementioned data inversion.

[0021] Secondly, in aforementioned first structure, aforementioned required processing operation is writing and copying of data stored in aforementioned fixed units to other fixed units.

[0022] Third, in aforementioned first structure, aforementioned required processing operation is erasure verification.

[0023] Fourth, in aforementioned first or second structures, aforementioned data inversion is carried out in single fixed unit batches.

[0024] Fifth, aforementioned first, second, third or fourth structures judge whether or not aforementioned data inversion is carried out as a function of the address of the processing operation in the plurality of memory means in question when there is a plurality of aforementioned memory means.

[0025]

[Action] Data that had been latched in a latch means by a reading operation from a fixed unit in a memory means in aforementioned structure are inverted by a batch inversion operation at one fixed unit and relatched. When executing prescribed processing operations such as write copy processing of data from aforementioned fixed unit to another fixed unit, external reading and retransfer of data is unnecessary since the inverted/relatched data are used. As a result, the prescribed processing operation can be completed at high speed.

[0026] When there is a plurality of memory means, data that are equivalent to inverted data are obtained based on the address relationship of the processing operations in the plurality of memory means, such as the copy source and copy destination among a plurality of memory means, and this obviates the need for a data inversion operation.

[0027] Embodiments of the present invention are explained below with reference to the appended figures.

[0028] Figure 1 is a block diagram showing the structure of a nonvolatile semiconductor memory apparatus using NAND type EEPROM pursuant to the first embodiment of the present invention. Sense amplifier/data latch circuit 2 is installed as a latch means for data writing, reading, write and erase verification in memory cell array 1 which is a memory means. Memory cell array 1 is divided into blocks comprising a plurality of pages. Each block is structured to serve as a data storage area. Sense amplifier/data latch circuit 2 is linked to data input/output buffer 6 and is structured so as to receive the output of column decoder 3, which receives address signals from address buffer 4, as input. Furthermore, row decoder 5 is installed to control the control gate and selective gate in memory cell array 1. Substrate potential control circuit 7 is installed to control the potential of the p type substrate (or p type well) in which memory cell array 1 is formed.

[0029] Verify termination detection circuit 8 detects data latched to sense amplifier/data latch circuit 2 and outputs a verify termination signal. Verify termination signal is output externally through data input/output buffer 6.

[0030] Figure 2 shows the connection relation among sense amplifier/data latch circuit 2, memory cell array 1 and verify termination detection circuit 8. Those circuit structures in Figure 2 which are identical or equivalent with those in aforementioned Figure 9 have the same designation and a duplicate explanation is omitted. E type n channel MOS transistor Qn8 controlled by the first output of flip-flop FF and E type n channel MOS transistor Qn9 controlled by signal ΦV are connected in series with bit line BLi between levels VCC or VSS.

[0031] The copying operation from one page to another page in the nonvolatile semiconductor memory apparatus having aforementioned structure is explained next.

[0032] The memory cell data of the copy source is read first. After the C²MOS inverter has been deactivated by setting Φ_{sp} at "H", Φ_{sn} at "L", Φ_{rp} at "H", and Φ_{rm} at "L" when ΦF is at "H", the bit line is precharged to VCC by setting ΦP at "L". Next, the selected control gate is held at VSS, the unselected control gate is held at VCC, and the selected

selective gate is held at VCC for a fixed duration of time. Here, when the selected memory cells are erased and a negative threshold value is maintained, cell current flows and the bit line is discharged to VSS.

[0033] Next, the bit line potential is detected by setting Φ_{sp} at "L" and Φ_{sn} at "H", and data are then latched by setting Φ_{rp} at "L" and Φ_{rm} at "H". The sense amplifier and data latch circuit and the bit line are separated by setting Φ_F at "L". Φ_P is set at "L" and all bit lines are precharged to VCC. The bit line is set to the floating state by setting Φ_P at "H".

[0034] Next, Φ_V is set at "H" and the VCC or VSS wiring is set at VSS. At this time, the bit line to which "H" is latched on the bit line side node of the sense amplifier and data latch circuit is discharged to VSS since Qn8 and/or Qn9 turns ON. (No special limitation on VSS is necessary. Even a low positive potential at which the "L" level can be assessed is permissible) In addition, the bit line to which "L" is latched on the bit line side node of the sense amplifier and data latch circuit maintains VCC since Qn8 turns OFF.

[0035] Next, Φ_V is set at "L". After the C²MOS inverter has been deactivated by setting Φ_{sp} at "H", Φ_{sn} at "L", Φ_{rp} at "H", and Φ_{rm} at "L", Φ_F is set at "H". The bit line potential is detected by setting Φ_{sp} at "L" and Φ_{sn} at "H", and data are latched by setting Φ_{rp} at "L" and Φ_{rm} at "H".

[0036] Inverted data of data that had first been latched through aforementioned operations can be latched.

[0037] Next comes a shift to a write operation in this latched state. VMB of the sense amplifier and data latch circuit is raised from VCC to intermediate potential. The bit line wherein "H" is latched on the bit line side node is set at intermediate potential, the bit line wherein "L" is latched on the bit line side node is set at VSS, and VPP is applied to the selective/control gates.

[0038] The write verification operation is explained next.

[0039] The write confirmation operation takes place with Qn7 OFF. First, the precharge signal Φ_P is set at "L" and the bit line is precharged to VCC. Write data are held in FF in this state. Here, the bit line is discharged to VSS if the memory cells are D type. In addition, if the memory cells are E type, the bit line maintains the VCC level. After the selective gate and the control gate have been reset, verify signal Φ_V become "H" and the bit line in which "1" data are held is charged to VCC-VTH. The wiring of VCC or VSS is VCC. After the CMOS inverter comprising FF is deactivated, Qn7 is turned ON, the bit line potential is sensed and latched, and that serves as rewrite data. Specifically, "H" is latched in the bit line written with "1", and "H" is latched in the bit line written with "0" once writing has been adequately completed. "L" is latched only in a bit line in which "0" is written if writing is inadequate. Rewriting continues until "H" has been latched to the bit line side nodes of all FF. This is detected in the following manner. All FF detection transistors are connected to the sense line VDTC. VDTC is connected to a p channel transistor. The p channel transistor is activated for a prescribed time after termination of aforementioned latching. VDTC is charged to VCC at that time since all detection transistors would turn OFF if all bit writing is completed. If a cell with inadequate writing remains, the detection transistor corresponding to that bit line would remain ON, and the VDTC potential would fall to VSS. Whether or not writing has been terminated can be detected in batches (specifically, altering the address rather than reading all bits) by detecting this VDTC potential.

[0040] Copying from page to page can be attained without external reading of data in aforementioned operation. The sense amplifier and data latch circuit in this embodiment can be realized with a slight modification of the logic since switching the wiring that is fixed in conventional VCC between the VCC and VSS level is all that is needed.

[0041] The erasure confirmation operation is explained next with reference to Figure 3. High voltage (for example, 20 V) is applied to the substrate (or p well) in which a cell is formed and VSS is applied to the control gate in the erasure operation. By so doing, the threshold value of the selected memory cell is shifted in a negative direction. Next, data in the memory cell are read via the same operation as above. Specifically, the C²MOS inverter is deactivated by setting Φ_{sp} at "H", Φ_{sn} at "L", Φ_{rp} at "H" and Φ_{rm} at "L" while Φ_F is at "H", followed by precharging of the bit line to VCC by setting Φ_{PB} at "L". Next, the selected control gate is held at VSS, the unselected control gate is held at VCC, and the selected selective gate is held at VCC for a fixed duration. Here, current flows through the cell and the bit line is discharged to VSS if a negative threshold value is maintained and the selected memory cells are erased.

[0042] Next, the bit line potential is detected by setting Φ_{sp} at "L" and Φ_{sn} at "H", after which data are latched by setting Φ_{rp} at "L" and Φ_{rm} at "H". The sense amplifier and data latch circuit and bit line are separated by setting Φ_F at "L". Φ_P is set at "L" and all bit lines are precharged to VCC. The bit line is set to the floating state by setting Φ_P at "H".

[0043] Next, Φ_V is set at "H". At this time, the bit line to which "H" is latched on the bit line side node of the sense amplifier and data latch circuit is discharged to VSS since Qn8 and/or Qn9 turns ON. (No special limitation on VSS is necessary. Even a low positive potential at which the "L" level can be assessed is permissible) In addition, the bit line to which "L" is latched on the bit line side node of the sense amplifier and data latch circuit maintains VCC since Qn8 turns OFF.

[0044] Next, ΦV is set at "L". After the C²MOS inverter has been deactivated by setting Φ_{sp} at "H", Φ_{sn} at "L", Φ_{rp} at "H", and Φ_{rn} at "L", ΦF is set at "H". The bit line potential is detected by setting Φ_{sp} at "L" and Φ_{sn} at "H", and data are latched by setting Φ_{rp} at "L" and Φ_{rn} at "H".

[0045] Inverted data of data that had first been latched through aforementioned operations can be latched.

[0046] Completion of verification is confirmed using the detection transistor. VDTC becomes "H" if all cells maintain a negative threshold value. In this case, the next page is confirmed. VDTC becomes "L" if even one cell remains with a positive threshold value. In that case, erasure would be repeated until VDTC is detected to be "H". The detection results are output from the data input/output pin or the READY/BUSY pin.

[0047] Confirmation in aforementioned example is carried out in single page increments, but the confirmation operation can also be carried out once for all pages within a 1NAND block. In this case, reading is carried out with VSS applied to all control gates within a selected block. Detection would be possible by the same method as in aforementioned example since the bit line would not be discharged if even one memory cell remains with a positive threshold value at this time.

[0048] Furthermore, the voltage that is applied to the control gate need not be at the VSS level. Negative voltage may be applied in the sense of including a margin. Furthermore, the imposition of negative voltage on the control gate may be simulated by applying VSS to the control gate and positive voltage to the source or source and p type substrate (or p well). There are also cases in which data from a defective bit line (for example, a leak) cannot be inverted, but we can easily conjecture that it need not be differentiated from this embodiment. In addition, a fuse may be installed between the source of the detection transistor and VSS. Fuse disconnection of a detection transistor in a sense amplifier and data latch circuit for defective bit lines or spares that are unused for redundancy would pose no operational problems.

[0049] Figure 4 shows a second embodiment of the present invention. The basic structure is identical with that of Figure 1, but the cell array is divided into two blocks, 1A and 1B in this embodiment. Sense amplifier/data latch circuit 2 is installed for common use by both of these cell arrays 1A and 1B.

[0050] Figure 5 shows the structure of the sense amplifier and data latch circuit. Flip-flop FF is composed of E type n channel MOS transistors Qn16, Qn17 and E type p channel MOS transistors Qp7, Qp9. E type n channel MOS transistors Qn14 and Qn15 are FF equalizer transistors while Qn27 and Qn28 are detection transistors.

[0051] E type n channel MOS transistor Qn18 and E type p channel MOS transistor Qp8 are transistors for FF activation; E type n channel MOS transistors Qn19 and Qn20 are transistors for connecting two FF nodes N1, N2 with bit lines within cell array blocks 1A, 1B; and Qn25, Qn26 are transistors for precharging and resetting bit lines. Qn21 to Qn24 are transistors for connecting bit lines with wiring at the VCC or VSS levels.

[0052] Copying from page to page using this structure is discussed here. The reading/data inversion operation in aforementioned first embodiment is necessary to copy a page header in memory cell array 1A from a page in memory cell array 1A. However, reading/data inversion is unnecessary for copying data from a page in memory cell array 1A to a page in memory cell array 1B or for copying data from a page in memory cell array 1B to a page in memory cell array 1A. A direct switch to the writing operation without reading/data inversion is possible since these are connected, respectively, to nodes on the opposite sides of the sense amplifier and data latch circuit.

[0053] In this manner, page copying can be effected by controlling whether or not the inversion operation is carried out based on the address relationship between the copy source and the copy destination.

[0054] The method of data inversion in this embodiment is discussed here. A page in memory cell array 1A is selected as the copy source.

[0055] First, bit line BLai is precharged to 3V while BLbi is precharged to 2V (reference potential), after which bit lines BLai and BLbi are set to the floating state by setting precharge signals Φ_{PA} and Φ_{PB} to "L". Next, the selected control gate is held at VSS, the unselected control gate is held at VCC, and the selected selective gate is held at VCC for a fixed duration. After the MOS flip-flop has been reset by an equalizer signal, bit lines BLai, BLbi are connected to nodes N1, N2 by setting Φ_A , Φ_B to "H", and bit line BLai is read by setting Φ_P to "L" and Φ_N to "H". The read data are latched. Then, FF is disconnected from the bit lines by setting Φ_A and Φ_B to "L". Next, bit line BLai is precharged to 3V, bit line BLbi is precharged to 2V for setting to the floating state, after which Φ_{AV} is set at "H". Subsequently, the FF is deactivated and equalized after Φ_{AB} has been set to "L". Then, Φ_A , Φ_B are set at "H" and data are read by setting Φ_P at "L" and Φ_N at "H". By so doing, the read data are inverted in batches.

[0056] The verification operation following erasure is explained next. Bit line BLai of memory cell array 1A is selected here.

[0057] First, bit line BLai is precharged to 3V while BLbi is precharged to 2V (reference potential), after which bit lines BLai and BLbi are set to the floating state by setting precharge signals Φ_{PA} and Φ_{PB} to "L". Next, the selected control gate is held at VSS, the unselected control gate is held at VCC, and the selected selective gate is held at VCC for a fixed

duration. After the CMOS flip-flop has been reset by an equalizer signal, bit lines BLai, BLbi are connected to nodes N1, N2 by setting ΦA , ΦB to "H". Bit line BLai is read by setting ΦP to "L" and ΦN to "H". The read data are latched. [0058] Then, FF is disconnected from the bit lines by setting ΦA and ΦB to "L". Next, bit line BLai is precharged to 3V, bit line BLbi is precharged to 2V (reference potential) for setting to the floating state, after which ΦAV is set to "H". Subsequently, the FF is deactivated and equalized, after which ΦA and ΦB are set to "H" and data are read. The data that are latched in this stage are inverted in batches. This is then detected in batches by detection transistor Qn28. In this manner, data are inverted in batches in verification of erasure of memory cell 1A.

[0059] However, data inversion is unnecessary when conducting erasure verification of memory cell 1B. Furthermore, data inversion is unnecessary when conducting write verification of memory cell 1A, but data inversion is necessary when conducting write verification of memory cell array 1B.

[0060] The verification operation can be carried out by one detection transistor Qn28 by controlling whether or not data inversion is implemented during a verification operation depending on the memory address and the erasure/writing mode. Accordingly, another detection transistor Qn27 is unnecessary in the verification operation following erasure.

[0061] The present invention is not restricted to aforementioned embodiments. Data inversion need not be carried out in page batches. It may be inverted within a chip per byte. This is presented in the third embodiment in Figure 6. Figure 7 is a flow chart of the operation. Figure 6 presents an IO sense circuit and an inversion data generation circuit corresponding to the sense amplifier and data latch circuit of aforementioned Figure 2. In Figure 6, 9 denotes a current mirror type of operating sense amplifier while 10 and 11 denote transfer gates. After equalizing IO and IOB, data are output to lines IO, IOB by setting the column gate CSLi of the sense amplifier and data latch circuit at "H". After the potential difference has been sensed by current mirror type of operating sense amplifier 9, the data are latched. The latch contents may be inverted by forming inversion data from this data, followed by transfer to the sense amplifier and data latch circuit through IO, IOB lines. In this case as well, the address signal may be formed using a counter within the chip.

[0062] As shown in the fourth embodiment in Figure 8, the memory cell array is divided into a plurality of 1A, 1B, 2A, 2B (an example of four divisions is presented here for simplicity). In this case as well, data from a page of the copy source in the chip may be read and data may be transferred to the sense amplifier and data latch circuit of the page of the copy destination just as in the third embodiment.

[0063] Furthermore, aforementioned embodiments may be combined, so that read data may be inverted in batches as in aforementioned embodiment when copying within a given cell array, as in copying from a page in cell array 1A to a page in cell array 1A; read data may serve directly as write data when copying between cell arrays that share a given sense amplifier and data latch circuit, as in copying from a page in cell array 1A to a page in cell array 1B; or data may be transferred to the sense amplifier and data latch circuit of the copy destination by reading byte units within a chip followed by conversion into write data that can be copied, as in copying from a page in cell array 1A to a page in cell array 2A.

[0064]

[Effects of Invention] As explained above, the present invention permits high-speed operation of prescribed processing operations such as copying of data in fixed units to other fixed units or erasure verification operations without requiring external data reading and retransfer since required processing operations are implemented based on data inversion in which data that had been latched to a latch means via a read operation from a fixed unit in the memory means are inverted and relatched.

[Brief Description of Drawings]

[Figure 1] A block diagram showing the first embodiment of the nonvolatile semiconductor memory apparatus pursuant to the present invention.

[Figure 2] A circuit diagram showing the sense amplifier and data latch circuit in the first embodiment.

[Figure 3] A timing flow chart for explaining the operations of the sense amplifier and data latch circuit during the erasure confirmation operation in the first embodiment.

[Figure 4] A block diagram showing the second embodiment of the present invention.

[Figure 5] A circuit diagram showing the sense amplifier and data latch circuit in the second embodiment.

[Figure 6] A circuit diagram showing the third embodiment.

[Figure 7] A timing flow chart for explaining the operations of the third embodiment.

[Figure 8] A block diagram showing the fourth embodiment of the present invention.

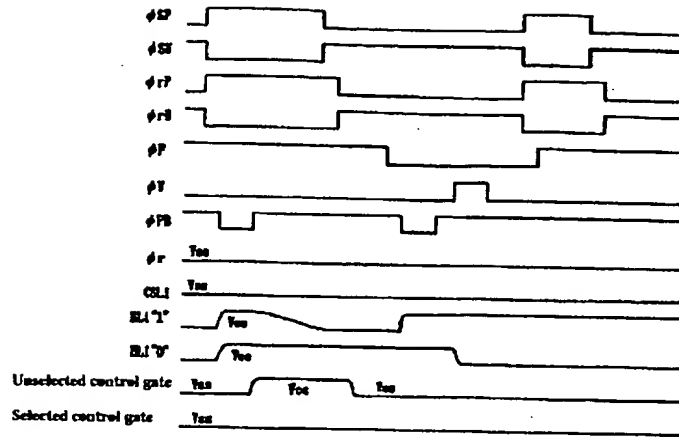
[Figure 9] A circuit diagram showing the sense amplifier and data latch circuit in a conventional nonvolatile semiconductor memory apparatus.

[Explanation of the Notation]

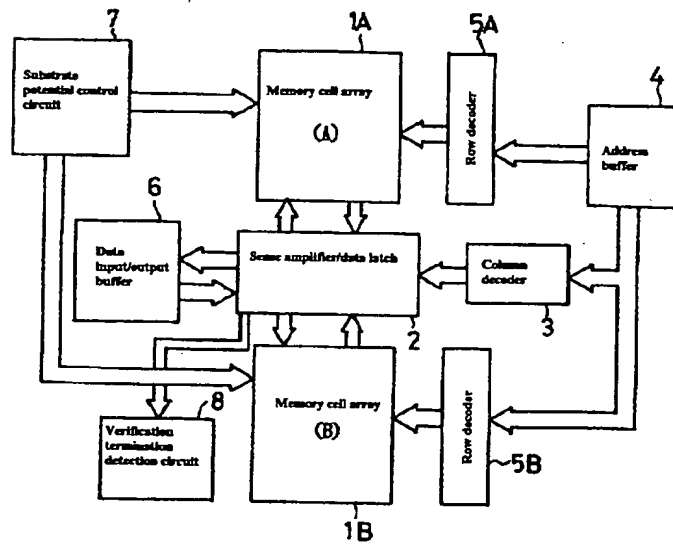
1, 1A, 1B memory cell array (memory means)
2 sense amplifier/data latch circuit (latch means)
8 verify detection circuit

[illegible]

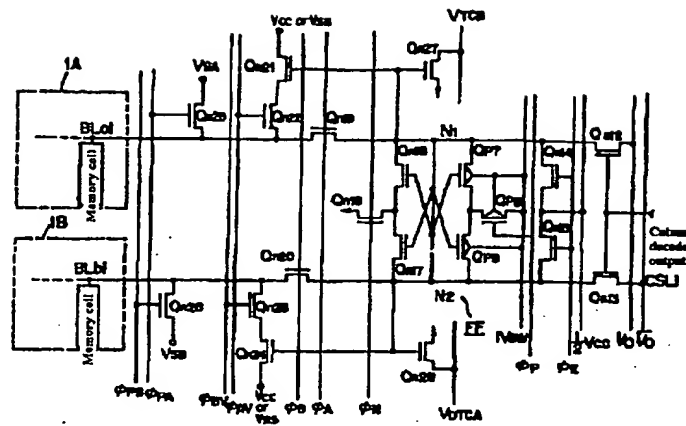
[Figure 3]



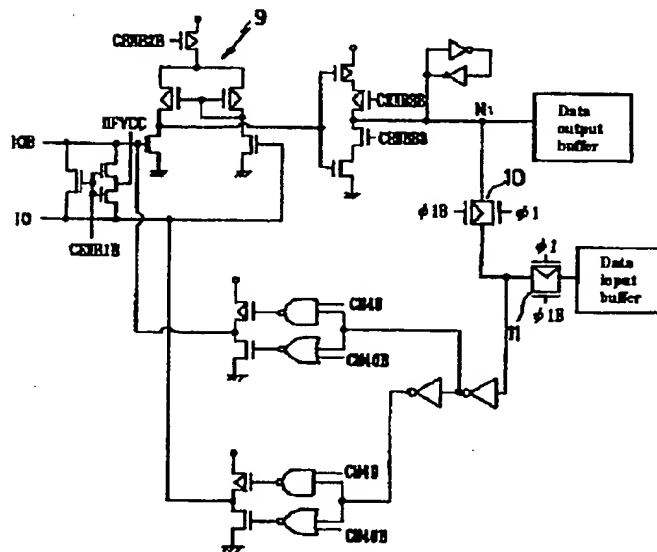
[Figure 4]



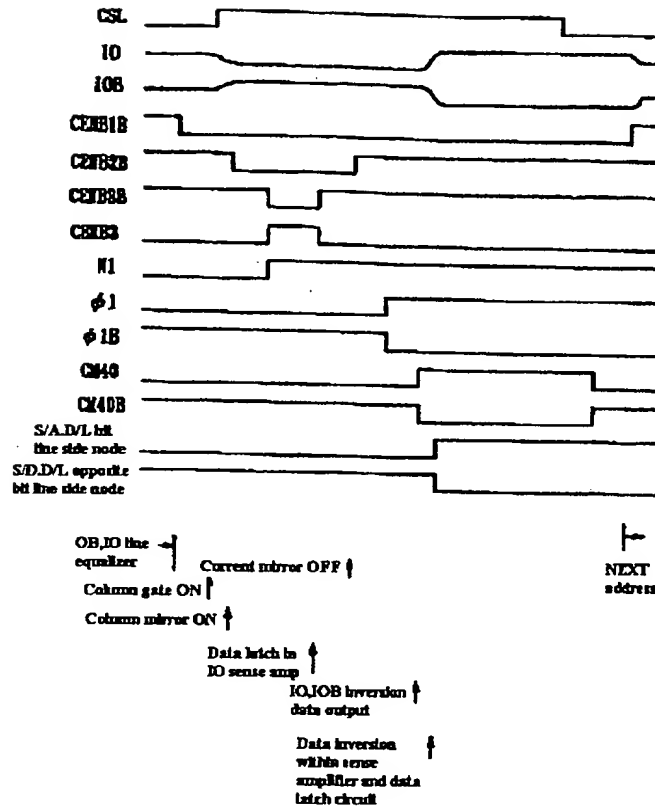
[Figure 5]



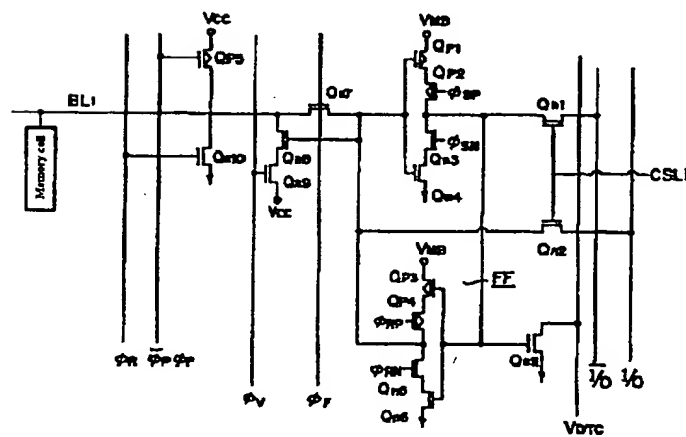
[Figure 6]



[Figure 7]



[Figure 9]



[Figure 8]

